

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132432

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01L 23/36

H01L 21/338

H01L 29/812

(21)Application number : 04-276933

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 15.10.1992

(72)Inventor : TATSUOKA KAZUKI

HIROSE MASANORI

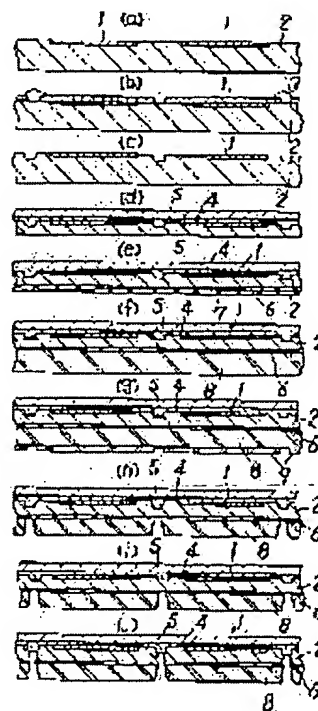
KANAZAWA KUNIHICO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a GaAs IC wherein its uniformity and its controllability are excellent by a method wherein a chip isolation groove is formed on the surface of a substrate by an etching operation, the substrate is made thin down to a thickness which does not reach the bottom of the groove from the rear side and a PHS is formed by a vapor deposition method or the like.

**CONSTITUTION:** A surface side of a GaAs substrate 2 on which a semiconductor element part has been formed is etched, a groove for chip isolation is formed, a support sheet 5 is pasted and fixed by using a wax material 4, the rear side is then polished and the substrate is made thin down to 30 to 60 $\mu$ m. In addition, an Ni layer 6 and an Au layer 7 as substrate metals to be used as electricity-feeding layers in a plating operation are vapor-deposited, and an Au layer 8 to be used as a PHS is formed by an electrolytic plating operation. A resist pattern 9 is formed, the Au layer 8 is etched and removed along a chip isolation position. Lastly, the Ni layer 6 is etched and removed, the GaAs substrate 2 is etched until the isolation groove is reached, and elements are isolated. Even when an etch rate is irregular, the element part is not damaged and the shape of the surface is not spoiled.



THIS PAGE BLANK (USPTO)

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-132432

(43)公開日 平成 6 年(1994) 5 月13日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 23/36

21/338

29/812

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 23/ 36

29/ 80

Z

B

審査請求 未請求 請求項の数 5 (全 4 頁)

(21)出願番号 特願平4-276933

(22)出願日 平成 4 年(1992)10月15日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72)発明者 立岡 一樹

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内

(72)発明者 広瀬 正則

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内

(72)発明者 金澤 邦彦

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内

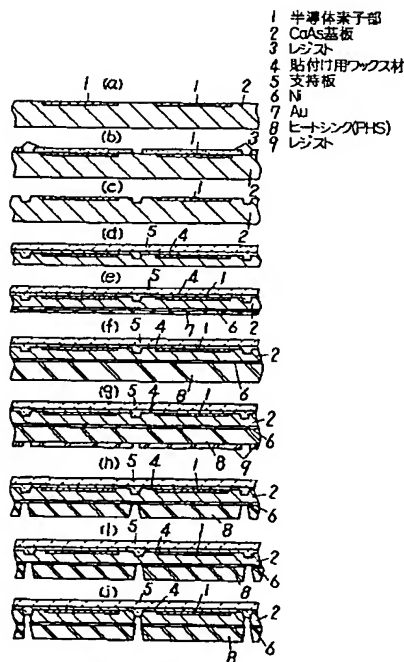
(74)代理人 弁理士 小鍛治 明 (外 2 名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 均一性および制御性に優れた、プレーティドヒートシンク(PHS)を有する高出力GaAsFETおよびICの製造方法を提供する。

【構成】 半導体素子部1を形成している基板2の第一の主面側のチップ分離ラインにエッチングによって所定の幅および深さの分離溝を形成する工程と、前記第一の主面とは反対側の第二の面側を研磨することにより前記分離溝に達しない所定の厚さになるまで基板2を薄くする工程と、さらに第二の面側のチップ分離溝の形成されていない所に蒸着、メッキ、エッチング等の方法によりヒートシンクとなる金属層8(PHS)を形成する工程と、さらにこの部分より、基板2を分離溝に達するまでエッチングすることによってチップを分離する工程とを含む製造方法。



## 【特許請求の範囲】

【請求項1】 半導体素子部を形成した基板の第一の主面の、チップ分離ラインにエッチングによって所定の幅および深さの分離溝を形成する工程と、前記基板をその基板の第二主面側から、第一主面側に形成された前記分離溝底部に達しないように、所定の厚さになるまで薄くする工程と、前記基板第二主面に蒸着、メッキ等の方法によりヒートシンクとなる金属層を形成する工程と、その金属層上の、前記第一主面に形成された分離溝に対応する領域にパターンの窓が開くようにレジストパターンを形成する工程と、その窓の部分の前記金属層を除去する工程と、その金属層が除去された領域の基板第二主面から前記分離溝に達するまでエッチングすることによって各チップに分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 その金属層が除去された領域の基板第二主面から前記分離溝に達するまでエッチングすることによって各チップを分離する工程に代えて、その金属層が除去された領域に沿って基板をダイシングし、各チップに分離する工程としたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体素子部を形成した基板の第一主面の、チップ分離ラインにエッチングによって所定の幅および深さの分離溝を形成する工程と、前記基板をその基板の第二主面側から、第一主面側に形成された前記分離溝底部に達しないように、所定の厚さになるまで薄くする工程と、前記基板第二主面に蒸着または無電界メッキによって金属薄膜を形成する工程と、その金属薄膜上の、前記第一主面に形成された分離溝に対応する領域にレジストが被覆するようにレジストパターンを形成する工程と、そのレジストパターンをマスクとして選択的にヒートシンクとなる金属層をメッキによって形成する工程と、前記レジストを除去した後この部分の金属薄膜をエッチングによって除去する工程と、その金属薄膜が除去された領域の基板第二主面から前記分離溝に達するまでエッチングすることによって各チップに分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 その金属薄膜が除去された領域の基板第二主面から前記分離溝に達するまでエッチングすることによって各チップに分離する工程に代えて、その金属薄膜が除去された領域に沿って基板をダイシングし、各チップに分離する工程としたことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 基板をその基板の第二主面側から、第一主面側に形成された前記分離溝底部に達しないように、所定の厚さになるまで薄くする工程が、基板の第一主面側にワックス材等により支持板を張り付けた後に、前記基板をその基板の第二主面から、第一主面側に形成された分離溝の底部に達しないように、所定の厚さになるまで薄くする工程としたことを特徴とする請求項1、2、

3または4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プレーティドヒートシンク（Plated Heatsink: PHS）を有する高周波高出力GaAsFETおよびIC等の半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】高出力GaAsFETおよびICでは熱抵抗低減のため基板であるGaAsを薄く研磨し、さらにこの基板裏面上にヒートシンクとなる金属層を形成する必要がある。従来、このようなGaAsICを製造する方法としては、例えば基板の表側主面に半導体素子部を形成した後に、基板裏面を所定の厚さまで研磨し、さらに蒸着およびメッキによってヒートシンクとなる金属層（PHS）を形成した後に、チップ分離位置の金属層をフォトリソ工程および金属層のエッチング工程によって除去し、さらにこの金属層の除去された窓の部分から基板であるGaAsをエッチングにより基板表面に達するまで除去することによってチップを分離する方法がとられていた。

【0003】以下従来の製造方法について、説明する。

図2（a）～（h）は従来のPHSを有する高出力GaAsICの製造方法を示す図である。同図（a）において、1は基板2表面側に形成された半導体素子部である。同図（b）に示すように支持板5にワックス材4を用いて基板2を貼付けて固定し、基板2の裏面側を研磨することにより30～60μmまで薄くする。さらに同図（c）に示すように、ディップエッチして表面を清浄化した後、メッキ時の給電層となる下地金属のNi6とAu7を蒸着する。同図（d）は下地金属上にPHSとなるAu8を電解メッキによって形成する工程である。この後、同図（e）に示すようにAuをチップ分離位置に沿ってエッチング除去するためのレジストパターン9を形成し、同図（f）に示すようにAu7、8エッチした後にレジストを除去する。最後に同図（g）に示すようにNi6をエッチング除去し、続いて同図（h）に示すように基板2であるGaAsをエッチングし素子の分離を行う。

## 【0004】

【発明が解決しようとする課題】しかしながら上記の従来の製造方法では、基板であるGaAsエッチングのエンドポイントがはっきりしにくいいため、エッチングの進行ばらつきによってチップ分離が完全に行われない箇所がウエハ中に生じたり、またエッチング時間が長くなってしまうとウェットエッチの場合サイドエッチが進行しチップ表面で素子部へのダメージや外観、形状等の不良が発生しやすいという課題を有していた。

【0005】本発明は上記の課題を解決するもので、PHSを有する高出力GaAsICの均一性および制御性

に優れた半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】この目的を達成するために本発明の半導体装置の製造方法は、半導体素子部を形成した基板の第一主面の、チップ分離ラインにエッチングによって所定の幅および深さの分離溝を形成する工程と、前記基板をその基板の第二主面側から第一主面側に形成された前記分離溝底部に達しない所定の厚さになるまで薄くする工程と、前記基板第二主面に蒸着、メッキ、エッチング等の方法によりヒートシンクとなる金属層（PHS）を形成する工程と、さらにこの金属層の窓の部分より、基板を分離溝に達するまでエッチングすることによってチップを分離する工程とを有する構成による。

【0007】

【作用】上記構成により、裏面側より基板であるGaAsをエッチングする際に、チップ分離用に形成しておいた溝にエッチングが到達した時点でGaAs基板のエッチングのエンドポイントとすることができ、またウエハ内でのエッチングの進行ばらつきに対応するためエッチング時間を余分にとり、分離不十分な所をなくすようにしても、予め表面側より形成されている分離溝の深さ分だけエッチングマージンとなるため、ウエットエッチの際のサイドエッチの進行によるチップ表面での素子部へのダメージや外観、形状等の不良発生がなく、均一性および制御性に優れたGaAs ICの製造を可能にすることができる。

【0008】

【実施例】以下本発明の一実施例について図面を参照しながら説明する。

【0009】図1(a)～(j)は本発明の一実施例におけるGaAs ICからなる半導体装置の製造方法を示す工程断面図である。同図(a)において、1は基板表面側に形成された半導体素子部、2はGaAs基板である。同図(b)は、チップ分離用の溝を形成するためのレジストパターン3の形成工程であり、同図(c)はエッチング後、レジスト除去した状態である。この後、同図(d)に示すようにワックス材4を用いて支持板5に基板2を貼付けて固定し、裏面側を研磨等により30～60μmまで基板2を薄くする。さらに同図(e)に示すように、ディップエッチして表面を清浄化した後、メッキ時の給電層となる下地金属のNi6とAu7を蒸着する。同図(f)は下地金属上にPHSとなるAu8を電解メッキによって形成する工程である。この後、同図(g)に示すようにAuをチップ分離位置に沿ってエッチング除去するためのレジストパターン9を形成し、同図(h)に示すようにAuエッチした後にレジスト9を除去する。最後に同図(i)に示すようにNiをエッチング除去し、続いて同図(j)に示すように、基板2で

あるGaAsを予め表面側より形成しておいた分離溝に達するまでエッチングし素子の分離を行う。

【0010】このような製造工程でチップ分離を行う

と、GaAsエッチングのエッチング速度がばらついても各チップの素子部にダメージを与えたり、表面の形状を損なったりすることなく確実に分離を行うことができる。すなわち、ウエハ内で最も早くGaAsエッチングが溝に達した所では最もエッチングの遅いところが溝に達するまでサイドエッチが進行するが、溝の幅をGaAsエッチの進行する幅より広くしておけば余分なエッチングが深さ方向に進まない。また、さらに余分にエッチングを行って深さ方向にエッチングされても、素子の表面側に達するまでには溝の深さがマージンとなる。従って、ウエハ全体のチップ分離を確実にに行い、かつ素子部にダメージを与えたり、表面の形状を損なったりする可能性を極めて小さくできる。特に、エッチングばらつきやサイドエッチの大きいウエットエッチによってチップ分離を行う際に有効である。

【0011】ここで、本実施例ではヒートシンクであるAuメッキをウエハ全体で行った後にエッチングによって分離したが、下地金属を形成した後にレジストパターンを形成し選択メッキによって形成してもかまわない。下地金属も、本実施例のNi/Auの他にも、Niのみ、Ti/Au、Tiのみ、Cr/Au、Crのみ等が考えられる。

【0012】また、チップ分離をエッチングでなくダイシングによって行う工程も考えられる。すなわち、図1(h)あるいは(i)まで工程を進めた後、PHSのエッチングの窓の部分の幅より狭い刃幅のブレードによって、裏面側から予め表面側より形成しておいた分離溝に達しかつ支持板に達しない深さまでダイシングを行う方法である。この場合も、ワックス材の厚みと溝の深さ分だけがダイシング深さのマージンとなるため、分離溝がない場合に比べてチップ分割が不完全になったり、支持板を損傷したりする可能性が極めて小さくでき再現性に優れた安定な工程を得ることができる。

【0013】

【発明の効果】以上、説明したところから明らかなように、本発明の半導体装置の製造方法は、半導体素子部を形成した基板の第一主面の、チップ分離ラインにエッチングによって所定の幅および深さの分離溝を形成する工程と、上記基板をその基板の第二主面側から第一主面側に形成された上記分離溝底部に達しない所定の厚さになるまで薄くする工程と、さらに第二主面側のチップ分離溝の形成されていない所に蒸着、メッキ、エッチング等の方法によりヒートシンクとなる金属層（PHS）を形成する工程と、さらにこの金属層の窓の部分より、基板を分離溝に達するまでエッチングまたはダイシングすることによってチップを分離する工程とを有する構成よりなり、PHS構造を有する再現性、均一性に優れた半導

体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の製造方法を示す工程断面図

【図2】従来の半導体装置の製造方法を示す工程断面図

【符号の説明】

1 半導体素子部

2 GaAs基板（基板）

\* 3 レジストパターン

4 ワックス材

5 支持板

6 Ni

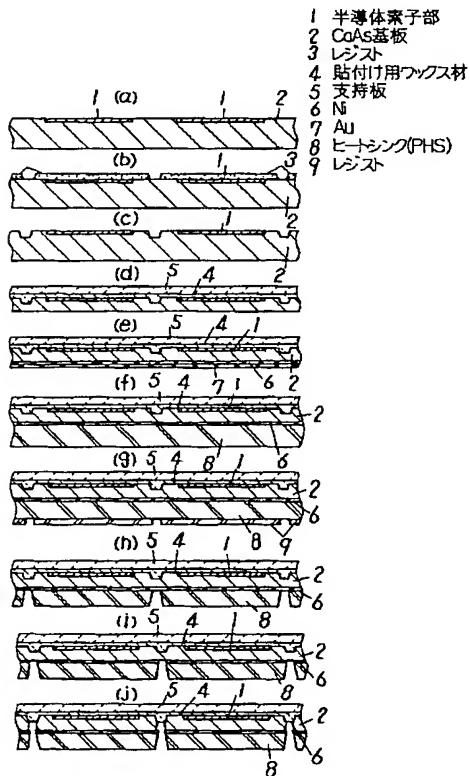
7 Au

8 Au（ヒートシンクとなる金属層）

9 レジスト

\*

【図1】



【図2】

